

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-260061

(43)Date of publication of application : 24.09.1999

(51)Int.CI.

G11C 11/41  
G09G 3/20  
G09G 3/36

(21)Application number : 10-063130

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 13.03.1998

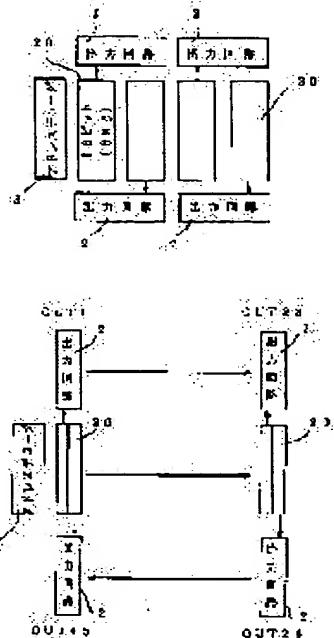
(72)Inventor : YAMAZAKI HARUJI

## (54) PATTERN ARRANGEMENT METHOD FOR MEMORY CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To realize high density integration of a memory circuit to be used for a dot-matrix LCD display controller driver or the like which has multiple outputs and further employs a small-capacity SRAM.

**SOLUTION:** In a pattern arrangement method of an SRAM to be used for a dot-matrix LCD display controller driver or the like which is composed by employing a small-capacity SRAM for multiple outputs, a plurality of output circuits 2 are disposed at both ends of small-capacity SRAM cells 20 constituting an SRAM, and output circuits 2 are alternately disposed at every adjacent SRAM cells 20 for connecting outputs thereof.



## LEGAL STATUS

[Date of request for examination] 11.05.2000

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-260061

(43)公開日 平成11年(1999)9月24日

(51)Int.Cl.<sup>6</sup>  
G 11 C 11/41  
G 09 G 3/20  
3/36

識別記号  
6 3 1

F I  
G 11 C 11/34  
G 09 G 3/20  
3/36

3 4 5  
6 3 1 Z

審査請求 未請求 請求項の数3 OL (全6頁)

(21)出願番号 特願平10-63130

(22)出願日 平成10年(1998)3月13日

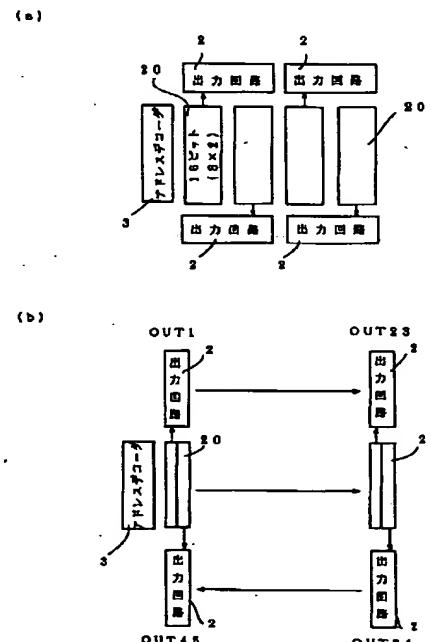
(71)出願人 000001889  
三洋電機株式会社  
大阪府守口市京阪本通2丁目5番5号  
(72)発明者 山崎 治二  
大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内  
(74)代理人 弁理士 安富 耕二 (外1名)

(54)【発明の名称】 メモリ回路のパターン構成方法

(57)【要約】

【課題】 多出力で、しかも小容量SRAMを採用したドットマトリクスLCD表示コントローラドライバ等に用いられるメモリ回路の高集積化を図る。

【解決手段】 多出力に対して、小容量のSRAMを用いて成るドットマトリクスLCD表示コントローラドライバ等に用いられるSRAMのパターン構成方法において、前記SRAMを構成する小容量のSRAMセル20の両端部に複数の出力回路2を配置し、かつ隣り合うSRAMセル20毎にその出力を接続する出力回路2を交互に配置したことを特徴とするものである。



1

## 【特許請求の範囲】

【請求項1】ドットマトリクスLCD表示コントローラドライバ等に用いられるメモリ回路のパターン構成方法において、

前記メモリ回路を構成する各メモリ回路セルの両端部に第1及び第2の出力回路群を配置し、かつ隣り合うメモリ回路セル毎にその出力を対応する前記第1及び第2の出力回路群内の所望の出力回路に交互に接続したことを特徴とするメモリ回路のパターン構成方法。

【請求項2】多出力に対して、小容量のメモリ回路を用いて成るドットマトリクスLCD表示コントローラドライバ等に用いられるメモリ回路のパターン構成方法において、

前記メモリ回路を構成する小容量のメモリ回路セルの両端部に第1及び第2の出力回路群を配置し、かつ隣り合うメモリ回路セル毎にその出力を対応する前記第1及び第2の出力回路群内の所望の出力回路に交互に接続したことを特徴とするメモリ回路のパターン構成方法。

【請求項3】前記メモリ回路セルがスタティックRAMであることを特徴とするメモリ回路のパターン構成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、メモリ回路のパターン構成方法に関し、更に言えば多出力で、しかも小容量のメモリ回路を採用して成るドットマトリクスLCD表示コントローラドライバ等に用いられるメモリ回路の高集積化を可能とするメモリ回路のパターン構成方法に関する。

## 【0002】

【従来の技術】本発明の従来技術として、例えば、文字、数字、記号等を表示するドットマトリクスLCD表示コントローラドライバ内に内蔵されるSRAM(スタティックRAM)等のメモリ回路があり、該ドットマトリクスLCD表示コントローラドライバは、コントローラより転送されるシリアルデータにより、ドットマトリクスLCD表示駆動信号を発生すると共に、内蔵の文字表示用ROM(CGROM、キャラクタジェネレータROMとも言う。)及び文字表示用RAM(CG RAM、キャラクタジェネレータRAMとも言う。)を介して表示システムを実現している。そして、前記文字表示用RAMとして、SRAM等が使用されている。

【0003】このようなメモリ機能として用いられるSRAMは、通常、4ビットあるいは8ビットの出力に対して、256ビット(16×16)等の大容量SRAMで構成されており、各SRAMセルに対応するように各出力回路が、該SRAMセルの一端部近傍に配置されて成るパターン構成方法が採用されていた。図3(a)は1Kビット(4ビットの出力×16ビット×16ビット)の大容量SRAMのパターン配置方法を示してお

2

り、各SRAMセル1に対応するように各出力回路2が、該SRAMセル1の一端部近傍に配置されている。3はアドレスデコーダである。

【0004】しかし、近年、5×7, 5×8, 5×9ドット等のドットマトリクスLCD表示コントローラドライバにおいて、45ビットの多出力に対して、SRAMが8(8×1)ビットあるいは16(8×2)ビット等の小容量SRAMが要望され、このような8ビット、16ビットの小容量SRAMに対し、従来のパターン構成方法を適用して小容量SRAMセルの一端部近傍に出力回路2を配置すると、高集積化の妨げとなってしまう。即ち、従来のパターン構成方法を適用して小容量SRAMセル(例えば、10ミクロン乃至20ミクロン幅)の一端部近傍に出力回路2を配置しようとすると、図3(b)に示すように8ビット、16ビットの小容量SRAMセル10の各々に対応するように同サイズの出力回路2を配置した場合には、当該出力回路サイズ分、隣り合うSRAMセル10同士の間隔を広げる必要があり、その分だけ集積度が低下してしまうことになる。ここで、図3(b)は45ビットの出力×8ビット×2ビットの小容量SRAMのパターン構成方法の概略を説明するためのもので、そのうちの4ビットの出力分を示している。

## 【0005】

【発明が解決しようとする課題】従って、前述したような多出力で、しかも小容量SRAMを採用して成るドットマトリクスLCD表示コントローラドライバ等に用いられるメモリ回路の高集積化を可能とするメモリ回路のパターン構成方法を提供することを目的とする。

## 【0006】

【課題を解決するための手段】そこで、本発明は、例えば45ビット等の多出力に対して、例えば8ビットあるいは16ビット等の小容量のスタティックRAMを用いて成るドットマトリクスLCD表示コントローラドライバ等に用いられるSRAMのパターン構成方法において、前記SRAMを構成する小容量のSRAMセル20の両端部に複数の出力回路2を配置し、かつ隣り合うSRAMセル20毎にその出力を接続する出力回路2を交互に配置したことを特徴とするものである。

## 【0007】

【発明の実施の形態】以下、本発明のメモリ回路のパターン構成方法に係る一実施形態について図面を参照しながら説明する。尚、従来と同様な構成については同符号を付して説明を簡略する。特に、本発明が適用される技術としては、例えば、文字、数字、記号等を表示するドットマトリクスLCD表示コントローラドライバ内に内蔵されるSRAM(スタティックRAM)等のメモリ回路であり、該ドットマトリクスLCD表示コントローラドライバは、コントローラより転送されるシリアルデータにより、ドットマトリクスLCD表示駆動信号を発生

50

すると共に、内蔵の文字表示用ROM (CGROM、キャラクタジェネレータROMともいう。) 及び文字表示用RAM (CGRAM、キャラクタジェネレータRAMともいう。) を介して表示システムを実現している。前記文字表示用ROMは、例えば8ビットの文字コードから240種類の5×7, 5×8, 5×9ドットマトリクス文字パターンを発生するROMで、文字表示用RAMは、プログラムにより自由に文字パターンを書き換えるRAMで、5×7, 5×8, 5×9ドットマトリクス文字パターンを書き込むことができる。

【0008】ここで、図2は前述したドットマトリクスLCD表示コントローラドライバとLCDパネルの関係を説明するための図であり、図2に示すようにドットマトリクスLCD表示コントローラドライバからの出力信号に基づいてLCDパネルに所望の文字、数字、記号等が表示される。尚、図2に示す一例では45出力で、1文字が表示され、全部で16文字の表示が可能である。

【0009】そして、本発明は5×7, 5×8, 5×9ドット等のドットマトリクスLCD表示コントローラドライバにおいて、45ビットの多出力に対して、SRAMが8(8×1)ビットあるいは16(8×2)ビット等の小容量SRAMを用いる際のメモリ回路のパターン構成方法において、そのメモリ回路セルの高集積化を可能とすることを特徴とする。

【0010】図1(a)は本発明を適用したメモリ回路のパターン配置方法を説明するための概略図であり、図1(a)では各SRAMセル20の両端部に第1及び第2の出力回路群を有す複数の出力回路2を配置し、かつ隣り合うSRAMセル20毎にその出力を、対応する前記第1及び第2の出力回路群内の所望の出力回路2に交互に接続する(各SRAMセル20に対応するように各出力回路2を紙面上、上下に配置する)構成としている。

【0011】このように隣り合うSRAMセル20毎にその出力を図面紙面上、上下に引き出し、2出力のSRAMセル20幅の中で、上下に出力回路2を設けてなる

パターン構成としたため、従来の図3(b)に示したようなデッドスペースを極力少なくすることで、高集積化が図れる。図1(b)は本発明の一実施形態を詳細に説明するための図であり、本発明が適用される5×7, 5×8, 5×9ドット等のドットマトリクスLCD表示コントローラドライバにおいて、45ビットの多出力に対して、SRAMが8(8×1)ビットあるいは16(8×2)ビット等の小容量SRAMを用いる際の、高集積化を可能としている。

10 【0012】即ち、図1(b)に示すように隣り合うSRAMセル20毎に各々対応する出力回路2を図1(b)の紙面上、上下に交互に配置することで、セルの配置スペースを有効に活用でき、パターン配置の高集積化が図れる。以上、説明したように、例えば8ビットあるいは16ビット等の小容量SRAMに対して、そのSRAMセル20の近傍に出力回路2を配置する際に、各SRAMセル20に対応する各出力回路2を図1の紙面上、上下に交互に配置することで、デッドスペースを極力少なくして、高集積化を図ることができる。

20 【0013】  
【発明の効果】本発明によれば、多出力で、しかも小容量SRAMセルの両端部近傍に出力回路を配置する際に、隣り合う各SRAMセルに対して、対応する出力回路を交互に配置させたことで、従来方法を採用した場合には、出力回路サイズに合せて、隣り合うSRAMセル同士の間隔を広げる必要があり、その分だけ集積度が低下してしまうことになるが、本発明ではそのようなデッドスペースを極力少なくでき、高集積化が可能になる。

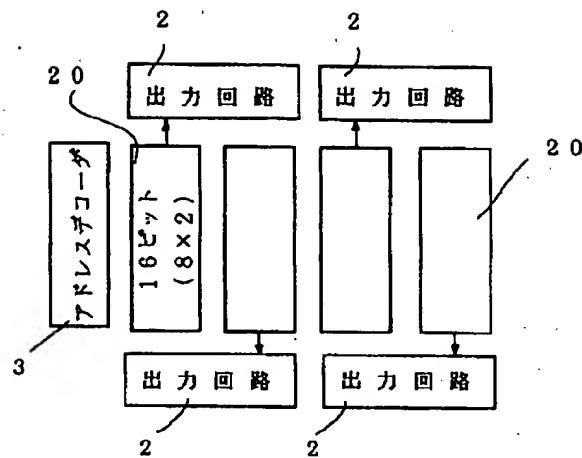
【図面の簡単な説明】  
30 【図1】本発明の一実施形態のメモリ回路のパターン構成方法を説明するための図である。

【図2】本発明が適用されるドットマトリクスLCD表示コントローラドライバを説明するための図である。

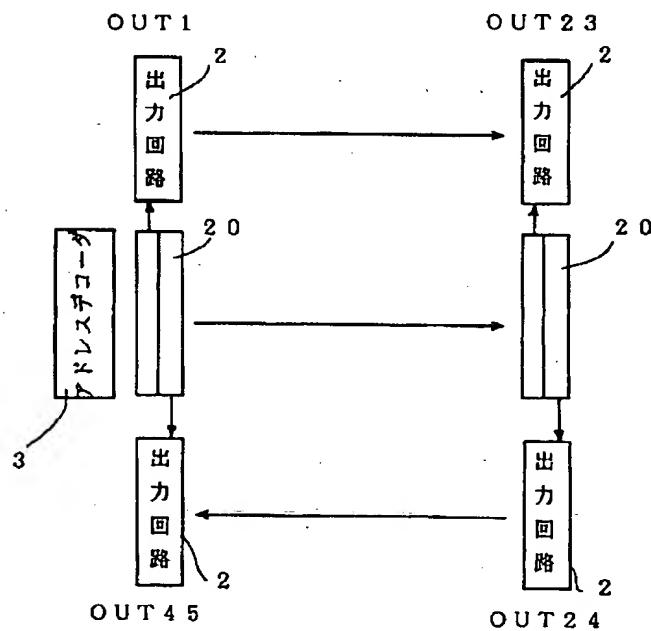
【図3】従来のメモリ回路のパターン構成方法を説明するための図である。

【図1】

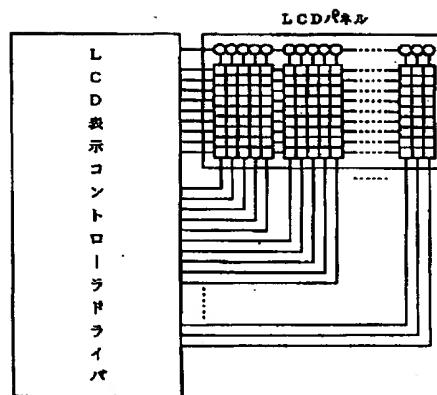
(a)



(b)

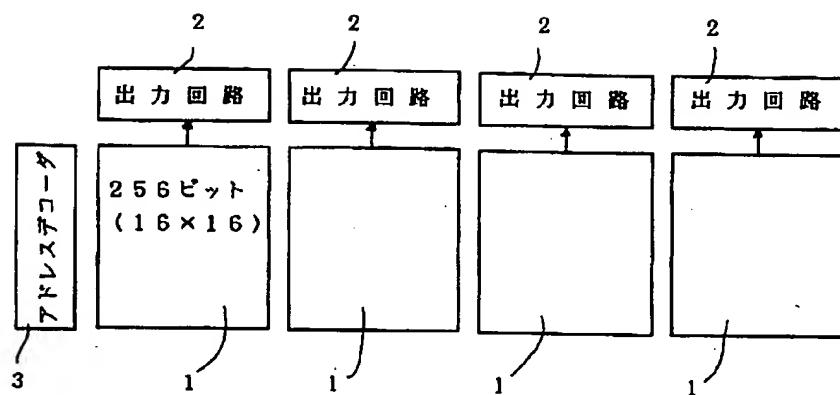


【図2】



【図3】

(a)



(b)

